

#3  
5-1200  
ed

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 2月 2日

出 願 番 号

Application Number:

平成11年特許願第024890号

出 願 人

Applicant(s):

富士通株式会社  
富士通ヴィエルエスアイ株式会社

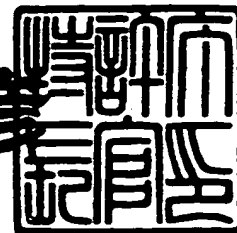
JC678 U.S. PTO  
09/494953  
02/01/00

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1999年11月19日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3080611

【書類名】 特許願

【整理番号】 9840167

【提出日】 平成11年 2月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/317

【発明の名称】 電子機器の試験方法、電子機器、及び、半導体装置

【請求項の数】 18

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

    【氏名】 加藤 好治

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【特許出願人】

    【識別番号】 000237617

    【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

    【識別番号】 100068755

    【住所又は居所】 岐阜市大宮町 2 丁目 1 2 番地の 1

    【弁理士】

    【氏名又は名称】 恩田 博宣

    【電話番号】 058-265-1810

【手数料の表示】

    【予納台帳番号】 002956

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706390

【包括委任状番号】 9711899

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子機器の試験方法、電子機器、及び、半導体装置

【特許請求の範囲】

【請求項 1】 測定側半導体装置と被測定側半導体装置をバス線を介して接続し、両装置間の接続の良否を判定する電子機器の試験方法であって、

前記測定側半導体装置において前記バス線に第 1 論理信号を出力する第 1 ステップと、

前記被測定側半導体装置において前記第 1 論理信号を取得する第 2 ステップと

、  
前記被測定側半導体装置において前記第 2 ステップで取得した前記第 1 論理信号の論理を反転し、その反転した信号を第 2 論理信号として出力する第 3 ステップと、

を備え、前記測定側半導体装置において前記第 1、第 2 論理信号に基づいて前記両装置間の接続の良否を判定するようにしたことを特徴とする電子機器の試験方法。

【請求項 2】 測定側半導体装置と被測定側半導体装置をバス線を介して接続し、両装置間の接続の良否を判定する電子機器の試験方法であって、

前記測定側半導体装置において前記バス線に第 1 論理信号を出力する第 1 ステップと、

前記被測定側半導体装置において前記第 1 論理信号を取得する第 2 ステップと

、  
前記測定側半導体装置において前記バス線に第 1 論理信号の論理を反転した第 2 論理信号を出力する第 3 ステップと、

前記被測定側半導体装置において前記第 2 ステップで取得した前記第 1 論理信号を出力する第 4 ステップと、

を備え、前記測定側半導体装置において前記第 1、第 2 論理信号に基づいて前記両装置間の接続の良否を判定するようにしたことを特徴とする電子機器の試験方法。

【請求項 3】 請求項 1 又は 2 に記載の電子機器の試験方法において、

前記測定側半導体装置は、前記第 1 論理信号の論理値を、特定のバス線とそれ以外のバス線とで異ならせるようにしたことを特徴とする電子機器の試験方法。

【請求項 4】 請求項 1 又は 2 に記載の電子機器の試験方法において、

前記測定側半導体装置は、前記第 1 論理信号の論理値を、物理的に隣接するバス線毎に異ならせるようにしたことを特徴とする電子機器の試験方法。

【請求項 5】 請求項 1 又は 2 に記載の電子機器の試験方法において、

前記測定側半導体装置は、前記第 1 論理信号の論理値を、物理的に隣接する複数のバス線単位毎に異ならせるようにしたことを特徴とする電子機器の試験方法。

【請求項 6】 請求項 1 又は 2 に記載の電子機器の試験方法において、

前記測定側半導体装置は、特定のバス線に対して前記各ステップを実行するとともに、それ以外のバス線に対して判定動作のみ行うようにしたことを特徴とする電子機器の試験方法。

【請求項 7】 測定側半導体装置と被測定側半導体装置をバス線を介して接続した電子機器であって、

前記測定側半導体装置は、

前記バス線に第 1 論理信号を出力する測定側出力部と、

前記被測定側半導体装置からバス線を介して入力される第 2 論理信号と、前記第 1 論理信号を比較し、その比較結果に基づく判定信号を出力するデータ比較部と、を備え、

前記被測定側半導体装置は、

前記第 1 論理信号を取得する入力部と、

前記第 1 論理信号の論理を反転し、その反転した信号を前記第 2 論理信号として出力する被測定側出力部と、を備え、

前記測定側半導体装置は、前記判定信号に基づいて前記両装置間の接続の良否を判定するようにしたことを特徴とする電子機器。

【請求項 8】 測定側半導体装置と被測定側半導体装置をバス線を介して接続した電子機器であって、

前記測定側半導体装置は、

前記バス線に第 1 論理信号を出力する測定側出力部と、

前記バス線に第 1 論理信号の論理を反転した第 2 論理信号を出力する反転出力部と、

前記被測定側半導体装置からバス線を介して入力される第 1 論理信号と、前記第 2 論理信号を比較し、その比較結果に基づく判定信号を生成するデータ比較部と、を備え、

前記被測定側半導体装置は、

前記第 1 論理信号を取得する入力部と、

前記入力部で取得した前記第 1 論理信号を前記バス線に出力する被測定側出力部と、を備え、

前記測定側半導体装置は、前記判定信号に基づいて前記両装置間の接続の良否を判定するようにしたことを特徴とする電子機器。

【請求項 9】 請求項 7 又は 8 に記載の電子機器において、

前記測定側半導体装置は、前記第 1 論理信号の論理値を、特定のバス線とそれ以外のバス線とで異ならせるようにしたことを特徴とする電子機器。

【請求項 10】 請求項 7 又は 8 に記載の電子機器において、

前記測定側半導体装置は、前記第 1 論理信号の論理値を、物理的に隣接するバス線毎に異ならせるようにしたことを特徴とする電子機器。

【請求項 11】 請求項 7 又は 8 に記載の電子機器において、

前記測定側半導体装置は、前記第 1 論理信号の論理値を、物理的に隣接する複数のバス線単位毎に異ならせるようにしたことを特徴とする電子機器。

【請求項 12】 請求項 7 又は 8 に記載の電子機器において、

前記各出力部及び前記入力部のうち少なくとも 1 つは、前記各半導体装置の通常動作に使用する入出力部と共用したことを特徴とする電子機器。

【請求項 13】 請求項 7 又は 8 に記載の電子機器において、

前記入力部をラッチ回路で構成し、

前記被測定側半導体装置には、前記第 1 論理信号又は外部からの指令信号に基づいて前記ラッチ回路をリセットするリセット回路を備えたことを特徴とする電子機器。

【請求項 14】 被測定側半導体装置とバス線を介して接続され、両装置間の接続の良否を判定するための測定側の半導体装置であって、

前記被測定側半導体装置に対して第 1 論理信号を出力するデータ出力部と、

前記被測定側出力部が応答して出力する第 2 論理信号が入力され、該第 2 論理信号と前記第 1 信号を比較し、その比較結果に基づく判定信号を出力するデータ比較部と、

を備えたことを特徴とする半導体装置。

【請求項 15】 被測定側半導体装置とバス線を介して接続され、両装置間の接続の良否を判定するための測定側の半導体装置であって、

前記被測定側半導体装置に対して第 1 論理信号を出力するデータ出力部と、

前記データ出力部が動作した後に、前記第 1 論理信号の論理を反転した第 2 論理信号を出力するデータ反転部と、

前記被測定側出力部が応答して出力する第 1 論理信号が入力され、該第 1 論理信号と前記第 2 論理信号を比較し、その比較結果に基づく判定信号を出力するデータ比較部と、

を備えたことを特徴とする半導体装置。

【請求項 16】 測定側半導体装置とバス線を介して接続された被測定側の半導体装置であって、

前記測定側半導体装置から入力される論理信号をラッチするラッチ回路と、

前記ラッチ回路にてラッチした論理信号を反転して出力する論理部と、

を備えたことを特徴とする半導体装置。

【請求項 17】 測定側半導体装置とバス線を介して接続された被測定側の半導体装置であって、

前記測定側半導体装置から入力される論理信号をラッチするラッチ回路と、

前記ラッチ回路にてラッチした論理信号を出力する論理部と、

を備えたことを特徴とする半導体装置。

【請求項 18】 請求項 16 又は 17 に記載の半導体装置において、

前記バス線上の信号又は外部からの指令信号に基づいて前記ラッチ回路をリセットするリセット回路を備えたことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は電子機器の試験方法、電子機器、及び、半導体装置に係り、詳しくは、複数の半導体装置（IC，LSI）を搭載した電子機器において、各装置間を結ぶバス線のショート不良やオープン不良等の実装不良を検出するための試験方法及びその試験回路に関する。

## 【0002】

近年の電子機器は、更なる小型化・高密度化が要求されている。そのため、各半導体装置間を結ぶバス線の微細加工化が進み、このことがバス線間の短絡・該装置の入出力ピンの短絡や、バス線の断線・バス線と入出力ピンとの非接続等の発生頻度を増加させている。このような電子機器はその出荷前にオープン・ショート試験が行われ、これら実装不良が検出された機器は不良品として完全に取り除く必要がある。

## 【0003】

ところで、近年の電子機器の小型化・高密度化により、半導体装置のパッケージは、ボール格子端子（Ball Grid Array：BGA）型パッケージ等をその代表とするCSP（Chip Size Package：チップ・サイズ・パッケージ）に移行しつつある。このような半導体装置はボード上に実装したときに外部に入出力ピンが露出しないため、そのピンにプローブ針を当てる周知のオープン・ショート試験を行うことができなくなった。

## 【0004】

そこで、近年では、特定の半導体装置内に予め試験回路が組み込まれている。即ち、試験回路は、その試験時に測定側の半導体装置に向けて両装置間を結ぶバス線上に所定のデータを出力する。試験回路は、測定側の半導体装置側に入力されたデータが、該回路が出力したデータに応じた期待値と同じか否かを判定して、バス線間の短絡やバス線の断線を検出している。そして、実装不良の電子機器を完全に取り除くために、より確実なオープン・ショート試験を行うことが必要となっている。



## 【0005】

## 【従来の技術】

従来、上記したような電子機器の試験方法の一例が、特開平5-99980号公報に開示されている。尚、以下には、図6を用いてこの公報の概要を説明する。

## 【0006】

図6に示すように、電子機器を構成するボード上には複数の半導体装置（IC）が搭載され、その内、試験回路（公報ではLSI論理回路）1aが組み込まれた半導体装置を被測定側IC1とし、該試験回路1aからの信号を受信する受信回路2aが組み込まれた半導体装置を受信用（測定側）IC2とする。被測定側IC1の入出力ピンPa1～Panは、被測定側IC1の入出力ピンPa1～Panとバス線DB1～DBnを介して接続される。試験回路1aは、例えば、特定の入出力ピンPa1を選択し、該入出力ピンPa1から「1：Hレベル」のデータを出力するとともに、残りの全ての入出力ピンPa2～Panからは選択された特定の入出力ピンPa1の論理値とは異なる値、即ち「0：Lレベル」のデータを出力する。

## 【0007】

そして、受信回路2aで受信したデータに基づいて、測定側IC2の特定された入出力ピンPb1から期待値「1」が検出されなければ、入出力ピンPa1～Pan，Pb1～Pbn間を繋ぐバス線DB1～DBnが断線しているか、或いはバス線DB1～DBnと入出力ピンPa1～Pan，Pb1～Pbnとが非接続になっているかが検出できる（オープン不良検出）。又、測定側IC2における特定された入出力ピンPb1以外にもこの特定された入出力ピンPb1の期待値「1」と同じ論理値「1」が検出されれば、検出された入出力ピン（Pa2～Pan，Pb2～Pbn）と特定された入出力ピンPa1，Pb1とが短絡しているか、或いはバス線DB1～DBn間が短絡しているかが検出できる（ショート不良検出）。そして、被測定側IC1は、特定の入出力ピンPa1を物理アドレス順に順次選択して全ての入出力ピンPa1～Panに対して上記と同様のオープン・ショート試験が行われ、前記電子機器が実装不良か否かが判定される。

## 【0008】

## 【発明が解決しようとする課題】

ところで、近年では、バス線DB1～DBnが電氣的にフローティング状態になるものがある。そのため、選択された入出力ピンPa1～Panがオープン不良であっても、何らかの原因により該入出力ピンPa1～Panに接続されたバス線DB1～DBnに電荷が蓄積していると、測定側IC2の入出力ピンPb1～Pbnの論理値が期待値「1」となる場合がある。このような場合、選択された入出力ピンPa1～Panがオープン不良であるにもかかわらず、正常であると誤検出されてしまう。

## 【0009】

又、上記形態では、入出力ピンPa1～Panが物理アドレス順に順次選択される、即ち入出力ピンPa1～Panの論理値が物理アドレス順に順次「1」となるので、前に選択された入出力ピンPa1～Panのバス線DB1～DBn上に電荷が残留する場合がある。このような場合、バス線DB1～DBn上の残留電荷により、測定側IC2における特定された入出力ピンPb1～Pbn、例えば特定された入出力ピンがPb3とすると、該ピンPb3より物理アドレスが前の入出力ピンPb1、Pb2にも、接続が正常であるにもかかわらず特定された入出力ピンPb3の期待値「1」と同じ論理値「1」が検出されることがある。すると、検出された入出力ピンPb1、Pb2が正常接続であるにもかかわらず、ショート不良であると誤検出されてしまう。

## 【0010】

又、被測定側IC1の出力ドライバ（バッファ等）の駆動能力が大きい場合、今選択されたバス線、例えばDB3が、若干電荷がリークするバス線であっても、該IC1の出力ドライバの駆動能力が電荷のリーク量より勝れば測定側IC2の入出力ピンPb3では期待値「1」と同じ論理値「1」が検出される。即ち、入出力ピンPa3、Pb3とバス線DB3は正常であると認識される。

## 【0011】

ところが、測定側IC2の出力ドライバの駆動能力が小さいとき、測定側IC2から被測定側IC1に論理値「1」のデータを送った場合に、測定側IC2の

出力ドライバが駆動能力より電荷のリーク量より劣ると、被測定側 IC1 の入出力ピン Pa3 において論理値が「0」になる。即ち、被測定側 IC1 から測定側 IC2 に正しいデータを送ることができるが、逆に測定側 IC2 から被測定側 IC1 に正しいデータを送ることができない。

#### 【0012】

従って、上記形態では、IC1, 2 間の接続が不良であるにもかかわらず、検出することができない（正常であると認識されてしまう）。つまり、上記形態では、被測定側 IC1 から測定側 IC2 に向けて一方向のみデータを出力して試験を行う方法であるため、このような不具合が生じる。

#### 【0013】

そこで、被測定側 IC1 と測定側 IC2 とに、それぞれ上記した試験回路 1a 及び受信回路 2a を設け、被測定側 IC1 と測定側 IC2 との間で双方向にデータを出力して試験を行う方法が考えられるが、両 IC1, 2 にそれぞれ回路 1a, 2a をともに組み込まなければならず、各 IC1, 2 の回路面積が増大するという新たな問題が発生する。

#### 【0014】

本発明は、上記問題点を解決するためになされたものであって、その目的は、回路面積を増大させることなく、確実な半導体装置間のオープン・ショート試験を行うことが可能な電子機器の試験方法、電子機器、及び、その電子機器に搭載する半導体装置を提供することにある。

#### 【0015】

##### 【課題を解決するための手段】

請求項 1 に記載の発明によれば、第 1 ステップでは、測定側半導体装置はバス線に第 1 論理信号を出力する。第 2 ステップでは、被測定側半導体装置は第 1 論理信号を取得する。第 3 ステップでは、被測定側半導体装置は第 2 ステップで取得した第 1 論理信号の論理を反転し、その反転した信号を第 2 論理信号として出力する。そして、測定側半導体装置は、第 1, 第 2 論理信号に基づいて両装置間の接続の良否を判定する。

#### 【0016】

このようにすれば、被測定側半導体装置が測定側半導体装置に第2論理信号を返送するとき（第3ステップ）、その前のステップ（第1ステップ）でバス線が第2論理信号の論理値と逆の論理値（第1論理信号の論理値）とされる。従って、バス線上の残留電荷が上記した接続判定に悪影響を与えない。

## 【0017】

更に、両装置間では、論理信号の授受が行われる。そのため、各装置の出力ドライバの駆動能力をともに考慮した上で、接続判定が行われることになる。従って、従来生じていた各装置の出力ドライバの駆動能力差による誤検出が防止される。

## 【0018】

更に又、両装置間で双方向に信号をやり取りし、一方の測定側半導体装置で上記判定を行うようにしたので、被測定側半導体装置の回路面積が増大しない。その結果、回路面積を増大させることなく、確実な半導体装置間のオープン・ショート試験を行うことができる。

## 【0019】

請求項2に記載の発明によれば、第1ステップでは、測定側半導体装置はバス線に第1論理信号を出力する。第2ステップでは、被測定側半導体装置は第1論理信号を取得する。第3ステップでは、測定側半導体装置はバス線に第1論理信号の論理を反転した第2論理信号を出力する。第4ステップは、被測定側半導体装置は第2ステップで取得した第1論理信号を出力する。そして、測定側半導体装置は、第1、第2論理信号に基づいて両装置間の接続の良否を判定する。

## 【0020】

このようにすれば、被測定側半導体装置が測定側半導体装置に第1論理信号を返送するとき（第4ステップ）、その前のステップ（第3ステップ）でバス線が第1論理信号の論理値と逆の論理値（第2論理信号の論理値）とされる。従って、バス線上の残留電荷が上記した接続判定に悪影響を与えない。

## 【0021】

更に、両装置間では、論理信号の授受が行われる。そのため、各装置の出力ドライバの駆動能力をともに考慮した上で、接続判定が行われることになる。従っ

て、従来生じていた各装置の出力ドライバの駆動能力差による誤検出が防止される。

【0022】

更に又、両装置間で双方向に信号をやり取りし、一方の測定側半導体装置で上記判定を行うようにしたので、被測定側半導体装置の回路面積が増大しない。その結果、回路面積を増大させることなく、確実な半導体装置間のオープン・ショート試験を行うことができる。

【0023】

請求項3に記載の発明によれば、測定側半導体装置は、第1論理信号の論理値を、特定のバス線とそれ以外のバス線とで異ならせた。そのため、その時々において、特定のバス線以外で該バス線の論理値と同様に変化すれば、そのバス線と特定のバス線とのショートが検出される。

【0024】

請求項4に記載の発明によれば、測定側半導体装置は、第1論理信号の論理値を、物理的に隣接するバス線毎に異ならせた。そのため、その時々において、隣接するバス線の論理値が同様に変化すれば、隣接するバス線間のショートが検出される。

【0025】

請求項5に記載の発明によれば、測定側半導体装置は、第1論理信号の論理値を、物理的に隣接する複数のバス線単位毎に異ならせた。そのため、その時々において、特定の複数のバス線以外で該バス線の論理値と同様に変化すれば、そのバス線と特定の複数のバス線のいずれかとのショートが検出される。

【0026】

請求項6に記載の発明によれば、測定側半導体装置は、特定のバス線に対して前記各ステップを実行するとともに、それ以外のバス線に対して判定動作のみ行うようにした。このようにしても、請求項3と同様な良否判定を行うことができる。

【0027】

又、測定側半導体装置は、特定のバス線に対してのみ請求項1又は2に記載の

各ステップを実行し、他のバス線を特定のバス線と逆の論理値にて保持してもよく、この様にしても、両装置間の接続の良否判定を行うことが可能となる。

【0028】

請求項7に記載の発明によれば、測定側半導体装置は、バス線に第1論理信号を出力する測定側出力部と、被測定側半導体装置からバス線を介して入力される第2論理信号と、第1論理信号を比較し、その比較結果に基づく判定信号を出力するデータ比較部とが備えられる。被測定側半導体装置は、第1論理信号を取得する入力部と、第1論理信号の論理を反転し、その反転した信号を第2論理信号として出力する被測定側出力部とが備えられる。そして、測定側半導体装置は、判定信号に基づいて両装置間の接続の良否を判定する。

【0029】

このようにすれば、被測定側半導体装置が測定側半導体装置に第2論理信号を返送するとき、その前にバス線が第2論理信号の論理値と逆の論理値（第1論理信号の論理値）とされる。従って、バス線上の残留電荷が上記した接続判定に悪影響を与えない。

【0030】

更に、両装置間では、論理信号の授受が行われる。そのため、各装置の出力ドライバの駆動能力をともに考慮した上で、接続判定が行われることになる。従って、従来生じていた各装置の出力ドライバの駆動能力差による誤検出が防止される。

【0031】

更に又、両装置間で双方向に信号をやり取りし、一方の測定側半導体装置で上記判定を行うようにしたので、被測定側半導体装置の回路面積が増大しない。その結果、回路面積を増大させることなく、確実な半導体装置間のオープン・ショート試験を行うことができる。

【0032】

請求項8に記載の発明によれば、測定側半導体装置は、バス線に第1論理信号を出力する測定側出力部と、バス線に第1論理信号の論理を反転した第2論理信号を出力する反転出力部と、被測定側半導体装置からバス線を介して入力される

第 1 論理信号と、第 2 論理信号を比較し、その比較結果に基づく判定信号を生成するデータ比較部とが備えられる。被測定側半導体装置は、第 1 論理信号を取得する入力部と、入力部で取得した第 1 論理信号をバス線に出力する被測定側出力部とが備えられる。そして、測定側半導体装置は、判定信号に基づいて両装置間の接続の良否を判定する。

#### 【0033】

このようにすれば、被測定側半導体装置が測定側半導体装置に第 1 論理信号を返送するとき、その前にバス線が第 1 論理信号の論理値と逆の論理値（第 2 論理信号の論理値）とされる。従って、バス線上の残留電荷が上記した接続判定に悪影響を与えない。

#### 【0034】

更に、両装置間では、論理信号の授受が行われる。そのため、各装置の出力ドライバの駆動能力をともに考慮した上で、接続判定が行われることになる。従って、従来生じていた各装置の出力ドライバの駆動能力差による誤検出が防止される。

#### 【0035】

更に又、両装置間で双方向に信号をやり取りし、一方の測定側半導体装置で上記判定を行うようにしたので、被測定側半導体装置の回路面積が増大しない。その結果、回路面積を増大させることなく、確実な半導体装置間のオープン・ショート試験を行うことができる。

#### 【0036】

請求項 9 に記載の発明によれば、測定側半導体装置は、第 1 論理信号の論理値を、特定のバス線とそれ以外のバス線とで異ならせた。そのため、その時々において、特定のバス線以外で該バス線の論理値と同様に変化すれば、そのバス線と特定のバス線とのショートが検出される。

#### 【0037】

請求項 10 に記載の発明によれば、測定側半導体装置は、第 1 論理信号の論理値を、物理的に隣接するバス線毎に異ならせた。そのため、その時々において、隣接するバス線の論理値が同様に変化すれば、隣接するバス線間のショートが検

出される。

【0038】

請求項11に記載の発明によれば、測定側半導体装置は、第1論理信号の論理値を、物理的に隣接する複数のバス線単位毎に異ならせた。そのため、その時々において、特定の複数のバス線以外で該バス線の論理値と同様に変化すれば、そのバス線と特定の複数のバス線のいずれかとのショートが検出される。

【0039】

請求項12に記載の発明によれば、各出力部及び前記入力部のうち少なくとも1つは、各半導体装置の通常動作に使用する入出力部と共用される。従って、半導体装置の回路面積の増大が抑えられる。

【0040】

請求項13に記載の発明によれば、入力部はラッチ回路で構成され、被測定側半導体装置には、第1論理信号又は外部からの指令信号に基づいてラッチ回路をリセットするリセット回路が備えられる。従って、前にラッチ回路でラッチした信号が該回路に残ることが防止される。

【0041】

請求項14に記載の発明によれば、測定側の半導体装置は、被測定側半導体装置に対して第1論理信号を出力するデータ出力部と、被測定側出力部が応答して出力する第2論理信号が入力され、該第2論理信号と第1信号を比較し、その比較結果に基づく判定信号を出力するデータ比較部とが備えられる。そして、このような測定側の半導体装置と被測定側半導体装置とがバス線を介して接続され、電子機器が構成される。このように構成された電子機器は、請求項7と同様に動作する。従って、このような電子機器は、請求項7と同様の作用効果を有する。

【0042】

請求項15に記載の発明によれば、測定側半導体装置は、被測定側半導体装置に対して第1論理信号を出力するデータ出力部と、データ出力部が動作した後に、第1論理信号の論理を反転した第2論理信号を出力するデータ反転部と、被測定側出力部が応答して出力する第1論理信号が入力され、該第1論理信号と第2論理信号を比較し、その比較結果に基づく判定信号を出力するデータ比較部とが



備えられる。そして、このような測定側の半導体装置と被測定側半導体装置とがバス線を介して接続され、電子機器が構成される。このように構成された電子機器は、請求項 8 と同様に動作する。従って、このような電子機器は、請求項 8 と同様の作用効果を有する。

#### 【0043】

請求項 16 に記載の発明によれば、被測定側の半導体装置は、測定側半導体装置から入力される論理信号をラッチするラッチ回路と、ラッチ回路にてラッチした論理信号を反転して出力する論理部が備えられる。そして、このような被測定側の半導体装置と測定側半導体装置とがバス線を介して接続され、電子機器が構成される。このように構成された電子機器は、請求項 7 と同様に動作する。従って、このような電子機器は、請求項 7 と同様の作用効果を有する。

#### 【0044】

請求項 17 に記載の発明によれば、被測定側の半導体装置は、測定側半導体装置から入力される論理信号をラッチするラッチ回路と、ラッチ回路にてラッチした論理信号を出力する論理部とが備えられる。そして、このような測定側の半導体装置と被測定側半導体装置とがバス線を介して接続され、電子機器が構成される。このように構成された電子機器は、請求項 8 と同様に動作する。従って、このような電子機器は、請求項 8 と同様の作用効果を有する。

#### 【0045】

請求項 18 に記載の発明によれば、リセット回路は、バス線上の信号又は外部からの指令信号に基づいて前記ラッチ回路をリセットするリセット回路が備えられる。従って、前にラッチ回路でラッチした信号が該回路に残ることが防止される。

#### 【0046】

##### 【発明の実施の形態】

##### （第 1 の実施の形態）

以下、本発明を具体化した第 1 の実施の形態を図 1 及び図 2 に従って説明する。

#### 【0047】

図1に示すように、電子機器には複数の半導体装置（IC）が搭載され、同図1においてはその内の2つの半導体装置であるCPU10とメモリ30とが図示されている。この形態では、CPU10を測定側ICとし、メモリ30を被測定側ICとする。CPU10の入出力ピンPa1～Panは、メモリ30の入出力ピンPb1～Pbnとバス線DB1～DBnを介して接続される。尚、入出力ピンPa1～Pan, Pb1～Pbnは、CPU10及びメモリ30に複数個備えられ、同図1ではその内1つのみ図示している。又、バス線DB1～DBnも入出力ピンPa1～Pan, Pb1～Pbnと同様である。尚、これらバス線DB1～DBnは、電氣的にフローティング状態となるように構成されている。

## 【0048】

CPU10内には、入出力ピンPa1～Panに対して、それぞれデータ出力部11とデータ比較部12とが備えられる。尚、それぞれのデータ出力部11とデータ比較部12の回路構成は同じであるので、入出力ピンPa1を代表して説明する。

## 【0049】

データ出力部11は、3つのインバータ回路13～15、PMOSトランジスタ16、及び、NMOSトランジスタ17で構成される。インバータ回路13は、CMOS型のインバータ回路で構成される。インバータ回路13の高電位側電源端子は、PMOSトランジスタ16を介して電源VCCに接続される。このPMOSトランジスタ16のゲートには、制御信号φOEAがインバータ回路14を介して入力される。又、インバータ回路13の低電位側電源端子は、NMOSトランジスタ17を介してグランドGNDに接続される。このNMOSトランジスタ17のゲートには制御信号φOEAが入力される。インバータ回路13の入力端子には、CPU10の内部回路（図示略）からデータDATAがインバータ回路15を介して入力される。インバータ回路13の出力端子はCPU10の入出力ピンPa1に接続される。そして、データ出力部11は、Hレベルの制御信号φOEAに応答してインバータ回路13が活性化されると、データDATAを入出力ピンPa1に出力する。

## 【0050】

データ比較部 12 は、2つの NAND 回路 18、19、NOR 回路 20、及び、5つのインバータ回路 21～25 で構成される。NAND 回路 18 の第 1 入力端子には、前記データ DATA がインバータ回路 21 を介して入力される。NAND 回路 18 の第 2 入力端子には、インバータ回路 22 の出力信号が入力される。このインバータ回路 22 の入力端子は前記入出力ピン P a 1 に接続される。NAND 回路 18 の出力信号は、NOR 回路 20 の第 1 入力端子にインバータ回路 23 を介して入力される。

#### 【0051】

NAND 回路 19 の第 1 入力端子には、前記データ DATA が入力される。NAND 回路 19 の第 2 入力端子には、前記インバータ回路 22 の出力信号がインバータ回路 24 を介して入力される。NAND 回路 19 の出力信号は、NOR 回路 20 の第 2 入力端子にインバータ回路 25 を介して入力される。NOR 回路 20 の出力信号は、判定信号  $\phi$  JDG として出力される。そして、データ比較部 12 は、データ DATA と入出力ピン P a 1 の論理値が一致するときに L レベルの判定信号  $\phi$  JDG を出力し、不一致のときに H レベルの判定信号  $\phi$  JDG を出力する。

#### 【0052】

これに対し、メモリ 30 内には、入出力ピン P b 1～P b n に対して、それぞれラッチ部 31 と論理部 32 とが備えられる。尚、それぞれのラッチ部 31 と論理部 32 の回路構成は同じであるので、入出力ピン P b 1 を代表して説明する。

#### 【0053】

ラッチ部 31 は、転送ゲート 33、ラッチ回路 34、インバータ回路 35 a、35 b、遅延回路 35 c、制御回路 35 d、及び、リセット回路 36 で構成される。転送ゲート 33 は、CMOS 型の転送ゲートで構成される。転送ゲート 33 は、メモリ 30 の入出力ピン P b 1 とラッチ回路 34 との間に介在される。転送ゲート 33 の PMOS トランジスタのゲートには制御信号  $\phi$  INB が遅延回路 35 c 及びインバータ回路 35 a を介して入力され、NMOS トランジスタのゲートには制御信号  $\phi$  INB が遅延回路 35 c を介して入力される。因みに、この遅延回路 35 c は、偶数段（6 段）のインバータ回路で構成される。

## 【0054】

リセット回路36は、CMOS型のインバータ回路36a、PMOSトランジスタ36b、及び、NMOSトランジスタ36cで構成される。インバータ回路36aは、その入力端子が入出力ピンPb1に接続され、出力端子がラッチ回路34に接続される。インバータ回路36aの高電位側電源端子は、PMOSトランジスタ36bを介して電源VCCに接続される。このPMOSトランジスタ36bのゲートには制御回路35dにより制御信号 $\phi$ INBから作成された制御信号Mが入力される。又、インバータ回路36aの低電位側電源端子は、NMOSトランジスタ36cを介してグランドGNDに接続される。このNMOSトランジスタ36cのゲートには、制御回路35dからの制御信号Mがインバータ回路35bを介して入力される。

## 【0055】

この制御回路35dは、NAND回路及び奇数段（3段）のインバータ回路で構成される。NAND回路の第1入力端子には制御信号 $\phi$ INBが入力され、第2入力端子には制御信号 $\phi$ INBが奇数段のインバータ回路を介して入力される。NAND回路の出力信号は前記制御信号Mとして出力される。このような制御回路35dは、制御信号 $\phi$ INBが立ち上がると、所定時間だけLレベルの制御信号Mを出力する。因みに、制御信号MがLレベルとなる時間は、制御信号 $\phi$ INBを遅延させる前記遅延回路35cの遅延時間より短い。そして、このように構成され制御されるリセット回路36は次段のラッチ回路34をリセットするために設けられる。

## 【0056】

ラッチ回路34は、2つのインバータ回路34a、34bで構成される。インバータ回路34aの入力端子は前記転送ゲート33に接続される。インバータ回路34aの出力端子はインバータ回路34bの入力端子に接続され、該回路34bの出力端子はインバータ回路34aの入力端子に接続される。転送ゲート33とインバータ回路34aの入力端子との間のノードNはラッチ回路34の出力ノードであって、次段の論理部32に接続される。そして、ラッチ部31は、Hレベルの制御信号 $\phi$ INBに応答して転送ゲート33が導通状態になると、入出力

ピンPb1に入力されるデータDATAをラッチ回路34にてラッチする。

【0057】

論理部32は、転送ゲート37、3つのインバータ回路38～40、PMOSトランジスタ41、及び、NMOSトランジスタ42で構成される。転送ゲート37は、CMOS型の転送ゲートで構成される。転送ゲート37は、ラッチ部31のノードNとインバータ回路39の入力端子との間に介在される。転送ゲート37のPMOSトランジスタのゲートには制御信号 $\phi$ OEBがインバータ回路38を介して入力され、NMOSトランジスタのゲートには制御信号 $\phi$ OEBが入力される。

【0058】

インバータ回路39は、CMOS型のインバータ回路で構成される。インバータ回路39の高電位側電源端子は、PMOSトランジスタ41を介して電源VCCに接続される。このPMOSトランジスタ41のゲートには、制御信号 $\phi$ OEBがインバータ回路40を介して入力される。又、インバータ回路39の低電位側電源端子は、NMOSトランジスタ42を介してグランドGNDに接続される。このNMOSトランジスタ42のゲートには制御信号 $\phi$ OEBが入力される。インバータ回路39の出力端子は前記入出力ピンPb1に接続される。そして、論理部32は、Hレベルの制御信号 $\phi$ OEBに応答して転送ゲート37が導通状態になりインバータ回路39が活性化されると、入出力ピンPb1に入力されたデータDATAの論理を反転したデータDATAを該入出力ピンPb1に出力する。

【0059】

このように構成されたCPU10及びメモリ30は、テストモード信号に応答してテストモードになり、データDATA、及び、制御信号 $\phi$ OEA、 $\phi$ INB、 $\phi$ OEBを図2に示すように遷移させる。尚、制御信号 $\phi$ OEAの立ち上がりを第1ステップ、制御信号 $\phi$ INBの立ち上がりを第2ステップ、制御信号 $\phi$ OEBの立ち上がりを第3ステップとする。

【0060】

先ず、CPU10は、テストモード信号に応答して、特定の入出力ピンPa1

～P a n を物理アドレス順に順次選択する。即ち、CPU10は、入出力ピンP a 1～P a n の論理値を順次「1」とすべく、テストモード信号の入力から所定時間経過後に、内部回路（図示略）から論理値「1」のデータDATAを各入出力ピンP a 1～P a n に対応したデータ出力部11に出力する。つまり、CPU10は、各入出力ピンP a 1～P a n の論理値が「1000・・・0」、「0100・・・0」、「0010・・・0」、・・・、「0000・・・1」と順次変化するように動作する。尚、入出力ピンP a 1～入出力ピンP a n の各回路は同様に動作するため、以下には、入出力ピンP a 1を中心に説明する。

#### 【0061】

(1) CPU10とメモリ30とが正常に接続されている場合。

(1-1) 今、CPU10の内部回路から第1論理信号として論理値「1」のデータDATAが出力されているとする。

#### 【0062】

第1ステップでは、制御信号 $\phi$ OEAが立ち上がり、PMOSトランジスタ16及びNMOSトランジスタ17がオンされ、インバータ回路13が活性化される。そして、インバータ回路13は、論理値「1」のデータDATAをCPU10の入出力ピンP a 1に出力する。

#### 【0063】

CPU10の入出力ピンP a 1に論理値「1」のデータDATAが出力されると、該データDATAがバス線DB1及びメモリ30の入出力ピンP b 1を介してラッチ部31に入力される。

#### 【0064】

第2ステップでは、制御信号 $\phi$ INBが立ち上がると、制御信号Mが所定時間Lレベルになる。すると、その所定時間内、リセット回路36は活性状態となるため、該回路36は論理値「1」のデータDATAに基づいて、ノードNの電位をLレベル（論理値「0」）にリセットする。その後、転送ゲート33に遅延回路35cを介して制御信号 $\phi$ INBが入力され、制御信号Mが立ち上がると、転送ゲート33が導通状態になるとともに、インバータ回路36aが非活性化される。すると、入出力ピンP b 1に入力されたデータDATAが転送ゲート33を

介してラッチ回路 34 に入力される。ラッチ回路 34 は、データ DATA をラッチし、ノード N を論理値「1」となるように電位を保持する。その後、制御信号  $\phi$  OEA が立ち下がり、インバータ回路 13 が非活性化される。

【0065】

次に、第 3 ステップでは、制御信号  $\phi$  OEB が立ち上がると、転送ゲート 37 が導通状態になるとともに、インバータ回路 39 が活性化される。すると、インバータ回路 39 には、ラッチ回路 34 にてラッチしたデータ DATA が入力される。そして、インバータ回路 39 は、論理を反転したデータ DATA、即ち第 2 論理信号として論理値「0」のデータ DATA をメモリ 30 の入出力ピン Pb1 に出力する。

【0066】

メモリ 30 の入出力ピン Pb1 に論理値「0」のデータ DATA が出力されると、該データ DATA がバス線 DB1 を介して CPU10 の入出力ピン Pa1 に入力される。メモリ 30 から論理値「0」のデータ DATA が返送されると、データ比較部 12 は、返送された論理値「0」のデータ DATA と、CPU10 の内部回路から出力された論理値「1」のデータ DATA との比較演算を行う。そして、データ比較部 12 は、その比較演算に基づいて H レベルの判定信号  $\phi$  JDG を出力する。

【0067】

(1-2) 次に、CPU10 の内部回路から第 1 論理信号として論理値「0」のデータ DATA が出力されているとする。

上記 (1-1) と同様に、第 1 ステップでは、H レベルの制御信号  $\phi$  OEA に応答してインバータ回路 13 が活性化され、論理値「0」のデータ DATA が入出力ピン Pa1 に出力される。

【0068】

第 2 ステップでは、H レベルの制御信号  $\phi$  INB に応答して、先ずリセット回路 36 が活性化され、論理値「0」のデータ DATA に基づいて、ノード N の電位を L レベル（論理値「1」）にリセットする。その後、転送ゲート 33 が導通状態になり、ラッチ回路 34 は入出力ピン Pb1、転送ゲート 33 を介して入力

されるデータDATAをラッチする。

【0069】

第3ステップでは、Hレベルの制御信号 $\phi$ OEBに応答して転送ゲート37が導通状態になり、インバータ回路39が活性化される。そして、インバータ回路39は、第2論理信号として論理値「1」のデータDATAをメモリ30の入出力ピンPb1に出力する。

【0070】

データ比較部12は、返送された論理値「1」のデータDATAと、CPU10の内部回路から出力された論理値「0」のデータDATAとを比較し、Hレベルの判定信号 $\phi$ JDGを出力する。

【0071】

このように(1-1)，(1-2)に示すように、内部回路から出力されるデータDATAの論理値にかかわらず、ともに第3ステップでHレベルの判定信号 $\phi$ JDGが出力されると、CPU10は、入出力ピンPa1，Pb1及びバス線DB1が正常に接続されていると認識する。

【0072】

又、メモリ30がCPU10にデータDATAを返送するとき(第3ステップ)、その前のステップ(第1ステップ)でバス線DB1～DBnが該データDATAの論理値と逆の論理値とされる。従って、バス線DB1～DBn上の残留電荷が上記した接続判定に悪影響を与えない。

【0073】

(2-1) CPU10とメモリ30との間のバス線DB1～DBn又は入出力ピンPa1～Pan，Pb1～Pbnいずれかが、物理的に近接するそれらとショート不良が発生している場合。

【0074】

今、論理値「1」を出力する入出力ピンPa1，Pb1、バス線DB1と、論理値「0」を出力する入出力ピンPa2，Pb2、バス線DB2との間でショートしているとする。この場合、入出力ピンPa1の電位と、入出力ピンPa2の電位が同様に变化する。そのため、入出力ピンPa2の論理値の変化が正常時と



逆になり、第3ステップでデータDATAと入出力ピンPa2の論理値が一致し、入出力ピンPa2に対応するデータ比較部12は、第3ステップでLレベルの判定信号φJDGを出力する。

## 【0075】

又、入出力ピンPa1、Pb1、バス線DB1の論理値が「0」になり、入出力ピンPa2、Pb2、バス線DB2の論理値が「1」になると、上記と同様に、入出力ピンPa1の論理値の変化が正常時と逆になる。そのため、第3ステップでデータDATAと入出力ピンPa1の論理値が一致し、入出力ピンPa1に対応するデータ比較部12は、第3ステップでLレベルの判定信号φJDGを出力する。

## 【0076】

そして、第3ステップでデータ比較部12からLレベルの判定信号φJDGが出力されると、CPU10は、そのデータ比較部12に対応する入出力ピンPa1、Pa2におけるCPU10とメモリ30との間の接続が異常（不良）であると認識する。

## 【0077】

(2-2) CPU10とメモリ30との間のバス線DB1～DBn又は入出力ピンPa1～Pan, Pb1～Pbnのいずれかが、グランドGND側の配線又は入出力ピンとショートした場合。

## 【0078】

仮に、入出力ピンPa1、Pb1、バス線DB1が、グランドGND側の配線又は入出力ピンとショートしているとする。この場合、CPU10の出力ドライバであるインバータ回路13の駆動能力がバス線DB1の電荷のリーク量より劣っていると、入出力ピンPa1の論理値が常に「0」になる。そのため、内部回路から論理値「0」のデータDATAが出力されているとき、第3ステップでデータDATAと入出力ピンPa1の論理値が一致するため、入出力ピンPa1に対応するデータ比較部12は、第3ステップでLレベルの判定信号φJDGを出力する。

## 【0079】

そして、第3ステップでデータ比較部12からLレベルの判定信号 $\phi$ JDGが出力されると、CPU10は、そのデータ比較部12に対応する入出力ピンPa1におけるCPU10とメモリ30との間の接続が異常（不良）であると認識する。

#### 【0080】

又、CPU10の出力ドライバであるインバータ回路13の駆動能力がバス線DB1の電荷のリーク量より勝っていると、入出力ピンPa1の論理値が正常時と同様に変化する。ところが、メモリ30の出力ドライバであるインバータ回路39の駆動能力がバス線DB1のリーク量より劣っていると、論理値「1」のデータDATAをCPU10に返送できない。従って、第3ステップとなっても、入出力ピンPa1の論理値が「0」となる。

#### 【0081】

つまり、内部回路から論理値「0」のデータDATAが出力されているとき、第3ステップでデータDATAと入出力ピンPa1の論理値が一致するため、入出力ピンPa1に対応するデータ比較部12は、第3ステップでLレベルの判定信号 $\phi$ JDGを出力する。従って、CPU10は、上記と同様に、そのデータ比較部12に対応する入出力ピンPa1におけるCPU10とメモリ30との間の接続が異常（不良）であると認識する。

#### 【0082】

(2-3) CPU10とメモリ30との間のバス線DB1~DBn又は入出力ピンPa1~Pan, Pb1~Pbnのいずれかが、高電位電源VCC側の配線又は入出力ピンとショートした場合。

#### 【0083】

仮に、入出力ピンPa1, Pb1、バス線DB1が、高電位側電源VCC側の配線又は入出力ピンとショートしているとする。この場合、CPU10の出力ドライバであるインバータ回路13の駆動能力がバス線DB1のリーク量より劣っていると、入出力ピンPa1の論理値が常に「1」になる。そのため、内部回路から論理値「1」のデータDATAが出力されているとき、第3ステップでデータDATAと入出力ピンPa1の論理値が一致するため、データ比較部12は、第

3ステップでLレベルの判定信号 $\phi$ JDGを出力する。

【0084】

そして、第3ステップでデータ比較部12からLレベルの判定信号 $\phi$ JDGが出力されると、CPU10は、そのデータ比較部12に対応する入出力ピンPa1におけるCPU10とメモリ30との間の接続が異常（不良）であると認識する。

【0085】

又、CPU10の出力ドライバであるインバータ回路13の駆動能力がバス線DB1の電荷のリーク量より勝っていると、入出力ピンPa1の論理値が正常時と同様に変化する。ところが、メモリ30の出力ドライバであるインバータ回路39の駆動能力がバス線DB1のリーク量より劣っていると、論理値「0」のデータDATAをCPU10に返送できない。従って、第3ステップとなっても、入出力ピンPa1の論理値が「1」となる。

【0086】

つまり、内部回路から論理値「1」のデータDATAが出力されているとき、第3ステップでデータDATAと入出力ピンPa1の論理値が一致するため、入出力ピンPa1に対応するデータ比較部12は、第3ステップでLレベルの判定信号 $\phi$ JDGを出力する。従って、CPU10は、上記と同様に、そのデータ比較部12に対応する入出力ピンPa1におけるCPU10とメモリ30との間の接続が異常（不良）であると認識する。

【0087】

このように、上記（2-1）～（2-3）に示すように、内部回路から出力されるデータDATAの論理値が「1」又は「0」のいずれかのときに、第3ステップでLレベルの判定信号 $\phi$ JDGが出力されると、CPU10は、該CPU10とメモリ30との間でショート不良が発生していると認識する。

【0088】

（3）CPU10とメモリ30との間でオープン不良が発生している場合。

仮に、入出力ピンPa1におけるCPU10とメモリ30との間でオープン不良が発生しているとする。

## 【0089】

今、内部回路から出力されるデータDATAの論理値が「1」のとき、第1ステップでインバータ回路13が活性化され、CPU10の入出力ピンPa1が論理値「1」となる。ところが、第3ステップにおいては、CPU10の入出力ピンPa1にメモリ30からデータDATAが返送されないため、入出力ピンPa1の論理値は「1」のままである。従って、データ比較部12は、第3ステップで内部回路からのデータDATAと入出力ピンPa1の論理値が一致するため、Lレベルの判定信号 $\phi$ JDGを出力する。

## 【0090】

同様に、内部回路から出力されるデータDATAの論理値が「0」のとき入出力ピンPa1の論理値は「0」のままとなり、データ比較部12は、第3ステップでLレベルの判定信号 $\phi$ JDGを出力する。

## 【0091】

そして、第3ステップでデータ比較部12からLレベルの判定信号 $\phi$ JDGが出力されると、CPU10は、そのデータ比較部12に対応する入出力ピンPa1におけるCPU10とメモリ30との間の接続が異常（不良）であると認識する。又、上記したように内部回路から出力されるデータDATAの論理値にかかわらず、ともに第3ステップでLレベルの判定信号 $\phi$ JDGが出力されると、CPU10は、該CPU10とメモリ30との間でオープン不良が発生していると認識する。

## 【0092】

上記したように、この形態では、内部回路から出力されるデータDATAの論理値にかかわらず、ともに第3ステップでHレベルの判定信号 $\phi$ JDGが出力されると、CPU10は、該CPU10とメモリ30との接続が正常であると認識する。言い換えれば、それ以外である場合には、CPU10は、該CPU10とメモリ30との間でオープン不良、若しくはショート不良が発生していると認識する。

## 【0093】

上記したように、本実施の形態では、以下に示す作用効果を得ることができる

(1) 先ず、第1ステップでは、物理アドレス順に選択されたCPU10の入出力ピンPa1~Panからは論理値「1」のデータDATAが、選択されていない入出力ピンPa1~Panからは論理値「0」のデータDATAが出力される。第2ステップでは、メモリ30の入出力ピンPb1~Pbnに入力されるデータDATAがラッチされる。第3ステップにおいて、データ比較部12では、内部回路からのデータDATAの論理値とメモリ30から返送された入出力ピンPa1~Panの論理値との比較演算が行われ、その比較結果に基づくレベルの判定信号φJDGによって、バス線DB1~DBnにおけるオープン不良、若しくはショート不良の発生を容易に認識することができる。

## 【0094】

又、メモリ30がCPU10にデータDATAを返送するとき（第3ステップ）、その前のステップ（第1ステップ）でバス線DB1~DBnが該データDATAの論理値と逆の論理値とされる。従って、バス線DB1~DBn上の残留電荷が上記した接続判定に悪影響を与えない。

## 【0095】

更に、CPU10とメモリ30との間では、データDATAの授受が行われる。そのため、CPU10及びメモリ30の出力ドライバ（インバータ回路13, 39）の駆動能力をともに考慮した上で、上記した接続の良否判定が行われることになる。従って、従来生じていたCPU10及びメモリ30の出力ドライバの駆動能力差による誤検出が防止される。

## 【0096】

更に又、CPU10とメモリ30との間で双方向にデータDATAをやり取りし、1つのデータ比較部12で上記判定を行うようにしたので、メモリ30の回路面積が増大しない。その結果、本実施の形態では、メモリ30の回路面積を増大させることなく、確実なCPU10とメモリ30との間のオープン・ショート試験を行うことができる。

## 【0097】

(2) ラッチ部31には、メモリ30の入出力ピンPb1~Pbnに入力され

たデータDATAに基づいてラッチ回路34をリセットするリセット回路36が備えられる。従って、前にラッチ回路34でラッチしたデータDATAが該回路34に残ることが防止できる。

【0098】

(第2の実施の形態)

以下、本発明を具体化した第2の実施の形態を図3及び図4に従って説明する。尚、説明の便宜上、図1に示す第1の実施の形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0099】

図3に示すように、CPU10a内には、入出力ピンPa1～Panに対して、それぞれデータ出力部11a、データ比較部12a、及び、データ反転部26が備えられる。尚、それぞれのデータ出力部11a、データ比較部12a、及び、データ反転部26の回路構成は同じであるので、入出力ピンPa1を代表して説明する。

【0100】

データ出力部11aは、3つのインバータ回路13～15及び各MOSトランジスタ16、17に加え、新たにNOR回路27が付加される。NOR回路27には、制御信号φOEAと制御信号φREVが入力される。NOR回路27の出力信号は、PMOSトランジスタ16のゲートに入力されるとともに、NMOSトランジスタ17のゲートにインバータ回路14を介して入力される。つまり、データ出力部11aは、制御信号φOEA、φREVのいずれかが立ち上がると、インバータ回路13が活性化され、データDATAを入出力ピンPa1に出力する。

【0101】

データ比較部12aは、前記第1実施形態のデータ比較部12から入出力ピンPa1に接続される初段のインバータ回路22が省略され、2つのNAND回路18、19、NOR回路20、及び、4つのインバータ回路21、23～25で構成される。このような構成のデータ比較部12aは、データDATAと入出力ピンPa1の論理値が一致するときにHレベルの判定信号φJDGを出力し、不

一致のときにLレベルの判定信号 $\phi$ JDGを出力する。

#### 【0102】

データ反転部26は、CMOS型の転送ゲート28及びインバータ回路29で構成される。転送ゲート28は、インバータ回路15と並列に接続される。転送ゲート28のPMOSトランジスタのゲートには制御信号 $\phi$ REVがインバータ回路29を介して入力され、NMOSトランジスタのゲートには制御信号 $\phi$ REVが入力される。つまり、制御信号 $\phi$ REVがLレベルのとき転送ゲート28が非導通状態となり、データDATAはインバータ回路15を介してインバータ回路13に入力される。制御信号 $\phi$ REVがHレベルになると転送ゲート28が導通状態となり、データDATAは転送ゲート28を介してインバータ回路13に入力される。

#### 【0103】

これに対し、メモリ30a内には、入出力ピンPb1～Pbnに対して、それぞれ前記第1実施形態と同様に構成されたラッチ部31と論理部32とが備えられる。尚、以下には、入出力ピンPb1を代表して説明する。

#### 【0104】

この形態と前記第1実施形態とが異なる点は、ラッチ回路34の出力ノードがインバータ回路34aの出力端子となり、該出力端子に転送ゲート37が接続される。つまり、ラッチ部31は、Hレベルの制御信号 $\phi$ INBに応答して転送ゲート33が導通状態になると、入出力ピンPb1に入力されるデータDATAをラッチ回路34にてラッチする。論理部32は、Hレベルの制御信号 $\phi$ OEBに応答して転送ゲート37が導通状態になりインバータ回路39が活性化されると、入出力ピンPb1に入力されたデータDATAと同一論理のデータDATAを該入出力ピンPb1に出力する。

#### 【0105】

このように構成されたCPU10a及びメモリ30aは、テストモード信号に応答してテストモードになり、データDATA、及び、制御信号 $\phi$ OEA、 $\phi$ INB、 $\phi$ REV、 $\phi$ OEBを図4に示すように遷移させる。尚、制御信号 $\phi$ OEAの立ち上がりを第1ステップ、制御信号 $\phi$ INBの立ち上がりを第2ステップ

、制御信号 $\phi$ REVの立ち上がりを第3ステップ、制御信号 $\phi$ OEBの立ち上がりを第4ステップとする。

【0106】

まず、CPU10aは、第1実施形態と同様に、テストモード信号に応答して、特定の入出力ピンPa1～Panの論理値を順次「1」とすべく、該信号の入力から所定時間経過後に、内部回路（図示略）から論理値「1」のデータDATAを各入出力ピンPa1～Panに対応したデータ出力部11aに出力する。尚、入出力ピンPa1～入出力ピンPanの各回路は同様に動作するため、以下には、入出力ピンPa1を中心に説明する。

【0107】

(1) CPU10aとメモリ30aとが正常に接続されている場合。

(1-1) 今、CPU10aの内部回路から論理値「1」のデータDATAが出力されているとする。

【0108】

第1ステップでは、制御信号 $\phi$ OEAが立ち上がり、PMOSTランジスタ16及びNMOSTランジスタ17がオンされ、インバータ回路13が活性化される。このとき、制御信号 $\phi$ REVがLレベルであるので、転送ゲート28は非導通状態となっている。そのため、インバータ回路13は、論理値「1」のデータDATAをCPU10aの入出力ピンPa1に出力する。このとき、データDATAの論理値が「1」、入出力ピンPa1の論理値が「1」になると、データ比較部12aはHレベルの判定信号 $\phi$ JDGを出力する。

【0109】

CPU10aの入出力ピンPa1に論理値「1」のデータDATAが出力されると、該データDATAがバス線DB1及びメモリ30aの入出力ピンPb1を介してラッチ部31に入力される。

【0110】

第2ステップでは、制御信号 $\phi$ INBが立ち上がると、制御信号Mが所定時間Lレベルになる。すると、その所定時間内、インバータ回路36aは活性状態となるため、該回路36aは論理値「1」のデータDATAに基づいて、ノードN



の電位をLレベル（論理値「0」）にリセットする。その後、転送ゲート33に遅延回路35cを介して制御信号 $\phi$ INBが入力され、制御信号Mが立ち上がると、転送ゲート33が導通状態になるとともに、インバータ回路36aが非活性化される。すると、入出力ピンPb1に入力されたデータDATAが転送ゲート33を介してラッチ回路34に入力され、ラッチ回路34にてラッチされる。その後、制御信号 $\phi$ OEAが立ち下がり、インバータ回路13が非活性化される。

#### 【0111】

第3ステップでは、制御信号 $\phi$ REVが立ち上がり、転送ゲート28が導通状態となる。このとき、インバータ回路13も活性化状態となる。そのため、インバータ回路13は、内部回路から出力された論理値「1」のデータDATAに基づいて、論理を反転した論理値「0」のデータDATAをCPU10aの入出力ピンPa1に出力する。このとき、データDATAの論理値が「1」、入出力ピンPa1の論理値が「0」になると、データ比較部12aはLレベルの判定信号 $\phi$ JDGを出力する。そして、バス線DB1がLレベル（論理値「0」）になる。その後、制御信号 $\phi$ REVが立ち下がると、転送ゲート28が非導通状態になるとともに、インバータ回路13が非活性化される。

#### 【0112】

第4ステップでは、制御信号 $\phi$ OEBが立ち上がると、転送ゲート37が導通状態になるとともに、インバータ回路39が活性化される。すると、インバータ回路39には、ラッチ回路34にてラッチしたデータDATAが入力される。そして、インバータ回路39は、メモリ30aに入力されたデータDATAと同一論理のデータDATA、即ち論理値「1」のデータDATAをメモリ30aの入出力ピンPb1に出力する。

#### 【0113】

メモリ30aの入出力ピンPb1に論理値「1」のデータDATAが出力されると、該データDATAがバス線DB1を介してCPU10aの入出力ピンPa1に入力される。メモリ30aから論理値「1」のデータDATAが返送されると、データ比較部12aは、返送された論理値「1」のデータDATAと、CPU10aの内部回路から出力された論理値「1」のデータDATAとの比較演算

を行う。そして、データ比較部 12 a は、その比較演算に基づいて H レベルの判定信号  $\phi$  JDG を出力する。

【0114】

(1-2) 次に、CPU 10 a の内部回路から論理値「0」のデータ DATA が出力されているとする。

上記(1-1)と同様に、第1ステップでは、Hレベルの制御信号  $\phi$  OEA に応答してインバータ回路 13 が活性化され、論理値「0」のデータ DATA が入出力ピン P a 1 に出力される。

【0115】

第2ステップでは、Hレベルの制御信号  $\phi$  INB に応答して、先ずリセット回路 36 が活性化され、論理値「0」のデータ DATA に基づいて、ノード N の電位を L レベル（論理値「1」）にリセットする。その後、転送ゲート 33 が導通状態になり、ラッチ回路 34 は入出力ピン P b 1、転送ゲート 33 を介して入力されるデータ DATA をラッチする。

【0116】

第3ステップでは、Hレベルの制御信号  $\phi$  REV に応答して内部回路からのデータ DATA の論理を反転した論理値「1」のデータ DATA を入出力ピン P a 1 に出力する。

【0117】

第4ステップでは、Hレベルの制御信号  $\phi$  OEB に応答して転送ゲート 37 が導通状態になり、インバータ回路 39 が活性化される。そして、インバータ回路 39 は、論理値「0」のデータ DATA をメモリ 30 a の入出力ピン P b 1 に出力する。

【0118】

データ比較部 12 a は、返送された論理値「0」のデータ DATA と、CPU 10 a の内部回路から出力された論理値「0」のデータ DATA との比較演算し、Hレベルの判定信号  $\phi$  JDG を出力する。

【0119】

このように(1-1)、(1-2)に示すように、第4ステップでHレベルの

判定信号 $\phi$ JDGが出力されると、CPU10aは、入出力ピンPa1, Pb1及びバス線DB1が正常に接続されていると認識する。

【0120】

又、メモリ30aがCPU10aにデータDATAを返送するとき（第4ステップ）、その前のステップ（第3ステップ）でバス線DB1～DBnが該データDATAの論理値と逆の論理値とされる。従って、バス線DB1～DBn上の残留電荷が上記した接続判定に悪影響を与えない。

【0121】

(2-1) CPU10aとメモリ30aとの間のバス線DB1～DBn又は入出力ピンPa1～Pan, Pb1～Pbnいずれかが、物理的に近接するそれらとショート不良が発生している場合。

【0122】

今、論理値「1」を出力する入出力ピンPa1, Pb1、バス線DB1と、論理値「0」を出力する入出力ピンPa2, Pa2、バス線DB2との間でショートしているとする。この場合、入出力ピンPa1の電位と、入出力ピンPa2の電位が同様に変化する。そのため、入出力ピンPa2の論理値の変化が正常時と逆になるため、第4ステップでデータDATAと入出力ピンPa2の論理値が不一致となり、入出力ピンPa2に対応するデータ比較部12aは、Lレベルの判定信号 $\phi$ JDGを出力する。

【0123】

又、入出力ピンPa1, Pb1、バス線DB1の論理値が「0」になり、入出力ピンPa2, Pa2、バス線DB2の論理値が「1」になると、上記と同様に、入出力ピンPa1の論理値の変化が正常時と逆になる。そのため、第4ステップでデータDATAと入出力ピンPa1の論理値が不一致となり、入出力ピンPa1に対応するデータ比較部12aは、Lレベルの判定信号 $\phi$ JDGを出力する

そして、第4ステップでデータ比較部12aからLレベルの判定信号 $\phi$ JDGが出力されると、CPU10aは、そのデータ比較部12aに対応する入出力ピンPa1, Pa2におけるCPU10aとメモリ30aとの間の接続が異常（不良）であると認識する。

## 【0124】

(2-2) CPU10aとメモリ30aとの間のバス線DB1～DBn又は入出力ピンPa1～Pan, Pb1～Pbnいずれかが、グランドGND側の配線又は入出力ピンとショートした場合。

## 【0125】

仮に、入出力ピンPa1, Pb1、バス線DB1が、グランドGND側の配線又は入出力ピンとショートしているとする。この場合、CPU10aの出力ドライバであるインバータ回路13の駆動能力がバス線DB1の電荷のリーク量より劣っていると、入出力ピンPa1の論理値が常に「0」になる。そのため、内部回路から論理値「1」のデータDATAが出力されているとき、第4ステップでデータDATAと入出力ピンPa1の論理値が不一致となり、入出力ピンPa1に対応するデータ比較部12aは、第4ステップでLレベルの判定信号φJDGを出力する。

## 【0126】

そして、第4ステップでデータ比較部12aからLレベルの判定信号φJDGが出力されると、CPU10aは、そのデータ比較部12aに対応する入出力ピンPa1におけるCPU10aとメモリ30aとの間の接続が異常(不良)であると認識する。

## 【0127】

又、CPU10aの出力ドライバであるインバータ回路13の駆動能力がバス線DB1の電荷のリーク量より勝っていると、入出力ピンPa1の論理値が正常時と同様に変化する。ところが、メモリ30aの出力ドライバであるインバータ回路39の駆動能力がバス線DB1のリーク量より劣っていると、論理値「1」のデータDATAをCPU10に返送できない。従って、第4ステップとなっても、入出力ピンPa1の論理値が「0」となる。

## 【0128】

つまり、内部回路から論理値「1」のデータDATAが出力されているとき、第4ステップでデータDATAと入出力ピンPa1の論理値が不一致となるため、入出力ピンPa1に対応するデータ比較部12aは、第4ステップでLレベル

の判定信号 $\phi$ JDGを出力する。従って、CPU10aは、上記と同様に、そのデータ比較部12aに対応する入出力ピンPa1におけるCPU10aとメモリ30aとの間の接続が異常（不良）であると認識する。

【0129】

(2-3) CPU10aとメモリ30aとの間のバス線DB1~DBn又は入出力ピンPa1~Pan, Pb1~Pbnいずれかが、高電位電源VCC側の配線又は入出力ピンとショートした場合。

【0130】

仮に、入出力ピンPa1, Pb1、バス線DB1が、高電位電源VCC側の配線又は入出力ピンとショートしているとする。この場合、CPU10aの出力ドライバであるインバータ回路13の駆動能力がバス線DB1の電荷のリーク量より劣っていると、入出力ピンPa1~Panの論理値が常に「1」になる。そのため、内部回路から論理値「0」のデータDATAが出力されているとき、第4ステップでデータDATAと入出力ピンPa1の論理値が不一致となるため、データ比較部12aは、第4ステップでLレベルの判定信号 $\phi$ JDGを出力する。

【0131】

そして、第4ステップでデータ比較部12aからLレベルの判定信号 $\phi$ JDGが出力されると、CPU10aは、そのデータ比較部12aに対応する入出力ピンPa1におけるCPU10aとメモリ30aとの間の接続が異常（不良）であると認識する。

【0132】

又、CPU10aの出力ドライバであるインバータ回路13の駆動能力がバス線DB1の電荷のリーク量より勝っていると、入出力ピンPa1の論理値が正常時と同様に変化する。ところが、メモリ30aの出力ドライバであるインバータ回路39の駆動能力がバス線DB1のリーク量より劣っていると、論理値「0」のデータDATAをCPU10に返送できない。従って、第4ステップとなっても、入出力ピンPa1の論理値が「1」となる。

【0133】

つまり、内部回路から論理値「0」のデータDATAが出力されているとき、

第4ステップでデータDATAと入出力ピンPa1の論理値が不一致となるため、入出力ピンPa1に対応するデータ比較部12aは、第4ステップでLレベルの判定信号φJDGを出力する。従って、CPU10aは、上記と同様に、そのデータ比較部12aに対応する入出力ピンPa1におけるCPU10aとメモリ30aとの間の接続が異常（不良）であると認識する。

## 【0134】

このように、上記（2-1）～（2-3）に示すように、内部回路から出力されるデータDATAの論理値が「1」又は「0」のいずれかのときに、第4ステップでLレベルの判定信号φJDGが出力されると、CPU10aは、該CPU10aとメモリ30aとの間でショート不良が発生していると認識する。

## 【0135】

（3）CPU10aとメモリ30aとの間でオープン不良が発生している場合

。仮に、入出力ピンPa1、Pb1間でオープン不良が発生しているとする。

## 【0136】

今、内部回路から出力されるデータDATAの論理値が「1」のとき、第1ステップでインバータ回路13が活性化され、CPU10aの入出力ピンPa1が論理値「1」となる。そして、第3ステップでデータ反転部26の動作により入出力ピンPa1が論理値「0」となる。ところが、第4ステップにおいては、CPU10aの入出力ピンPa1にメモリ30aからデータDATAが返送されないため、入出力ピンPa1の論理値は「0」のままである。従って、データ比較部12aは、第4ステップで内部回路からのデータDATAと入出力ピンPa1の論理値が不一致となるため、Lレベルの判定信号φJDGを出力する。

## 【0137】

内部回路から出力されるデータDATAの論理値が「0」のとき、上記とは逆に第4ステップにおいては、入出力ピンPa1の論理値は「1」のままである。従って、データ比較部12aは、データDATAと入出力ピンPa1の論理値が不一致となるため、Lレベルの判定信号φJDGを出力する。

## 【0138】

そして、第4ステップでデータ比較部12aからLレベルの判定信号 $\phi$ JDGが出力されると、CPU10aは、そのデータ比較部12aに対応する入出力ピンPa1におけるCPU10aとメモリ30aとの間の接続が異常（不良）であると認識する。又、上記したように内部回路から出力されるデータDATAの論理値にかかわらず、ともに第4ステップでLレベルの判定信号 $\phi$ JDGが出力されると、CPU10aは、該CPU10aとメモリ30aとの間でオープン不良が発生していると認識する。

#### 【0139】

上記したように、この形態では、内部回路から出力されるデータDATAの論理値にかかわらず、ともに第4ステップでHレベルの判定信号 $\phi$ JDGが出力されると、CPU10aは、該CPU10aとメモリ30aとの接続が正常であると認識する。言い換えれば、それ以外である場合には、CPU10aは、該CPU10aとメモリ30aとの間でオープン不良、若しくはショート不良が発生していると認識する。

#### 【0140】

上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

(1) 先ず、第1ステップでは、物理アドレス順に選択されたCPU10aの入出力ピンPa1～Panからは論理値「1」のデータDATAが、選択されていない入出力ピンPa1～Panからは論理値「0」のデータDATAが出力される。第2ステップでは、メモリ30aの入出力ピンPb1～Pbnに入力されるデータDATAがラッチされる。第3ステップでは、内部回路からのデータDATAが反転され、その反転されたデータDATAがCPU10aの入出力ピンPa1～Panに出力される。第4ステップにおいて、データ比較部12aでは、内部回路からのデータDATAの論理値とメモリ30aから返送された入出力ピンPa1～Panの論理値との比較演算が行われ、その比較結果に基づくレベルの判定信号 $\phi$ JDGによって、バス線DB1～DBnにおけるオープン不良、若しくはショート不良の発生を容易に認識することができる。

#### 【0141】

又、メモリ 30a が CPU 10a にデータ DATA を返送するとき（第 4 ステップ）、その前のステップ（第 3 ステップ）でバス線 DB1～DBn が該データ DATA の論理値と逆の論理値とされる。従って、バス線 DB1～DBn 上の残留電荷が上記した接続判定に悪影響を与えない。

#### 【0142】

更に、CPU 10a とメモリ 30a との間では、データ DATA の授受が行われる（第 1、第 4 ステップ）。そのため、CPU 10a 及びメモリ 30a の出力ドライバ（インバータ回路 13、39）の駆動能力をともに考慮した上で、上記した接続の良否判定が行われることになる。従って、従来生じていた CPU 10a 及びメモリ 30a の出力ドライバの駆動能力差による誤検出が防止される。

#### 【0143】

更に又、CPU 10a とメモリ 30a との間で双方向にデータ DATA をやり取りし、1つのデータ比較部 12a で上記判定を行うようにしたので、メモリ 30a の回路面積が増大しない。その結果、本実施の形態では、メモリ 30a の回路面積を増大させることなく、確実な CPU 10a とメモリ 30a との間のオープン・ショート試験を行うことができる。

#### 【0144】

##### （第 3 の実施の形態）

以下、本発明を具体化した第 3 の実施の形態を図 5 に従って説明する。尚、説明の便宜上、図 2 に示す第 2 の実施の形態と同様の構成については同一の符号を付してその説明を一部省略する。

#### 【0145】

図 5 に示すように、メモリ 30b 内には、2つの OR 回路 43、44 が付加されている。OR 回路 43 は、テストモード用制御信号  $\phi TI$  と通常モード用制御信号  $\phi IN$  を入力し、転送ゲート 33 の導通・非導通を切り替える制御信号  $\phi INB$  を出力する。ラッチ回路 34 の出力ノード（インバータ回路 34a の出力端子）は、ライト用内部バス線 WDB を介して内部回路（図示略）に接続される。

#### 【0146】

そして、テストモード時には、転送ゲート 33 がテストモード用制御信号  $\phi T$



Iにより制御され、メモリ30bが上記したテストモード用の動作を行う。一方、通常モード時には、転送ゲート33が通常モード用制御信号 $\phi$ INにより制御され、入出力ピンPb1～Pbnに入力された書き込みデータが転送ゲート33、ラッチ回路34、及び、ライト用内部バス線WDBを介して内部回路に出力される。

#### 【0147】

一方、OR回路44は、テストモード用制御信号 $\phi$ TOと通常モード用制御信号 $\phi$ OEを入力し、インバータ回路39の活性・非活性を切り替える制御信号 $\phi$ OEBを出力する。インバータ回路39の入力端子は、リード用内部バス線RDBを介して内部回路（図示略）に接続される。又、転送ゲート37のPMOSトランジスタのゲートにはテストモード用制御信号 $\phi$ TOがインバータ回路38を介して入力され、NMOSトランジスタのゲートにはテストモード用制御信号 $\phi$ TOが入力される。

#### 【0148】

そして、テストモード時には、インバータ回路39及び転送ゲート37がテストモード用制御信号 $\phi$ TOにより制御され、メモリ30bが上記したテストモード用の動作を行う。一方、通常モード時には、インバータ回路39が通常モード用制御信号 $\phi$ OEにより制御され、リード用内部バス線RDBに読み出された読み出しデータがインバータ回路39を介して入出力ピンPb1～Pbnに出力される。

#### 【0149】

つまり、この形態では、メモリ30bのラッチ部31及び論理部32を各モード用にそれぞれ別個に設けるのではなく共用することで、該メモリ30bの回路面積の増大が抑えられる。尚、この形態のOR回路43、44を第1の実施の形態に実施しても同様の作用効果が得られる。

#### 【0150】

尚、本発明の実施の形態は以下のように変更してもよい。

○上記各実施の形態では、CPU10、10aは、特定の入出力ピンPa1～Panの論理値を物理アドレス順に順次「1」とすべく、テストモード信号の入

力から所定時間経過後に、内部回路から論理値「1」のデータDATAを各入出力ピンPa1～Panに対応したデータ出力部11, 11aに出力する。つまり、CPU10, 10aは、各入出力ピンPa1～Panの論理値が「1000・・・・0」、「0100・・・・0」、「0010・・・・0」、・・・、「0000・・・・1」と順次変化させたが、以下の(イ)～(ニ)ように変更してもよい。

#### 【0151】

(イ) CPUは、各入出力ピンの論理値を、物理的に隣接する入出力ピン毎に異ならせた。つまり、CPUは、各入出力ピンの論理値を「1010・・・・10」、「0101・・・・01」と変化させる。このようにしても、その時々において、隣接する入出力ピンの論理値が同様に変化すれば、隣接する入出力ピン（又は、バス線）間のショートが検出される。つまり、上記各実施の形態と同様に動作し、良否判定を行うことができる。又、同時に複数の入出力ピンを選択する、即ち複数の入出力ピンに論理値「1」を出力することで、上記各実施形態よりも、そのテスト時間の短縮を図ることが可能となる。

#### 【0152】

(ロ) CPUは、各入出力ピンの論理値を、物理的に隣接する複数の入出力ピン単位毎に異ならせた。つまり、CPUは、各入出力ピンの論理値を、例えば「1100・・・・00」、「0011・・・・11」と変化させる。このようにしても、その時々において、特定の複数の入出力ピン以外で該ピンの論理値と同様に変化すれば、その入出力ピン（又は、バス線）と特定の複数の入出力ピン（又は、バス線）のいずれかとのショートが検出される。つまり、上記各実施の形態と同様に動作し、良否判定を行うことができる。

#### 【0153】

(ハ) 特定の入出力ピンに対応したデータ出力部、データ比較部、ラッチ部、論理部、（データ反転部）を動作させるとともに、それ以外の入出力ピンではデータ比較部のみ動作させる。このようにしても、上記各実施の形態と同様に動作し、良否判定を行うことができる。

#### 【0154】

(ニ) 特定のバス線及び入出力ピンに対して試験を実行し、他のバス線及び入

出力ピンを特定のバス線と逆の論理値で保持する。このようにしても、上記各実施の形態と同様に動作し、良否判定を行うことができる。

【0155】

○上記各実施の形態では、ラッチ回路34をリセットするリセット回路36を設けたが、このリセット回路36を省略してもよい。

○上記各実施の形態では、CPU10、10aを測定側半導体装置とし、メモリ30、30a、30bを被測定側半導体装置としたが、その逆であってもよい。又、CPU10、10a及びメモリ30、30a、30b以外の半導体装置であってもよい。

【0156】

○上記各実施の形態では、測定側半導体装置（CPU10、10a）と、被測定側半導体装置（30、30a、30b）を対で構成したが、1つの測定側半導体装置に対して、被測定側半導体装置を複数としてもよい。この場合、試験時には、複数の被測定側半導体装置のうちいずれか1つを活性化し、測定側半導体装置と被測定側半導体装置を対にして試験する。

【0157】

○上記各実施の形態では、最終ステップの判定信号 $\phi$ JDGの論理で判定したが、各ステップの動作による判定信号 $\phi$ JDGの遷移を検出して、両装置間の接続の良否判定を行うようにしてもよい。

【0158】

○上記各実施の形態では、リセット回路36はバス線DB1～DBn上のデータDATAに基づいてラッチ回路34をリセットするようにしたが、外部からの指令信号に基づいてリセットするようにしてもよい。

【0159】

○上記第1の実施の形態では、データ出力部11、データ比較部12、ラッチ部31、及び、論理部32を図1に示すように構成したが、上記と同様に動作すれば、その回路構成は上記構成に限定されない。

【0160】

○上記第2の実施の形態では、データ出力部11a、データ比較部12a、デ

ータ反転部 26、ラッチ部 31、及び、論理部 32 を図 3 に示すように構成したが、上記と同様に動作すれば、その回路構成は上記構成に限定されない。

【0161】

【発明の効果】

以上詳述したように、本発明によれば、回路面積を増大させることなく、確実な半導体装置間のオープン・ショート試験を行うことが可能な電子機器の試験方法、電子機器、及び、その電子機器に搭載する半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】 第 1 の実施の形態における電子機器の概略構成図である。

【図 2】 第 1 の実施の形態の動作を示す波形図である。

【図 3】 第 2 の実施の形態における電子機器の概略構成図である。

【図 4】 第 2 の実施の形態の動作を示す波形図である。

【図 5】 第 3 の実施の形態における電子機器の概略構成図である。

【図 6】 従来における電子機器の概略構成図である。

【符号の説明】

10, 10a 測定側半導体装置としての CPU

30, 30a, 30b 被測定側半導体装置としてのメモリ

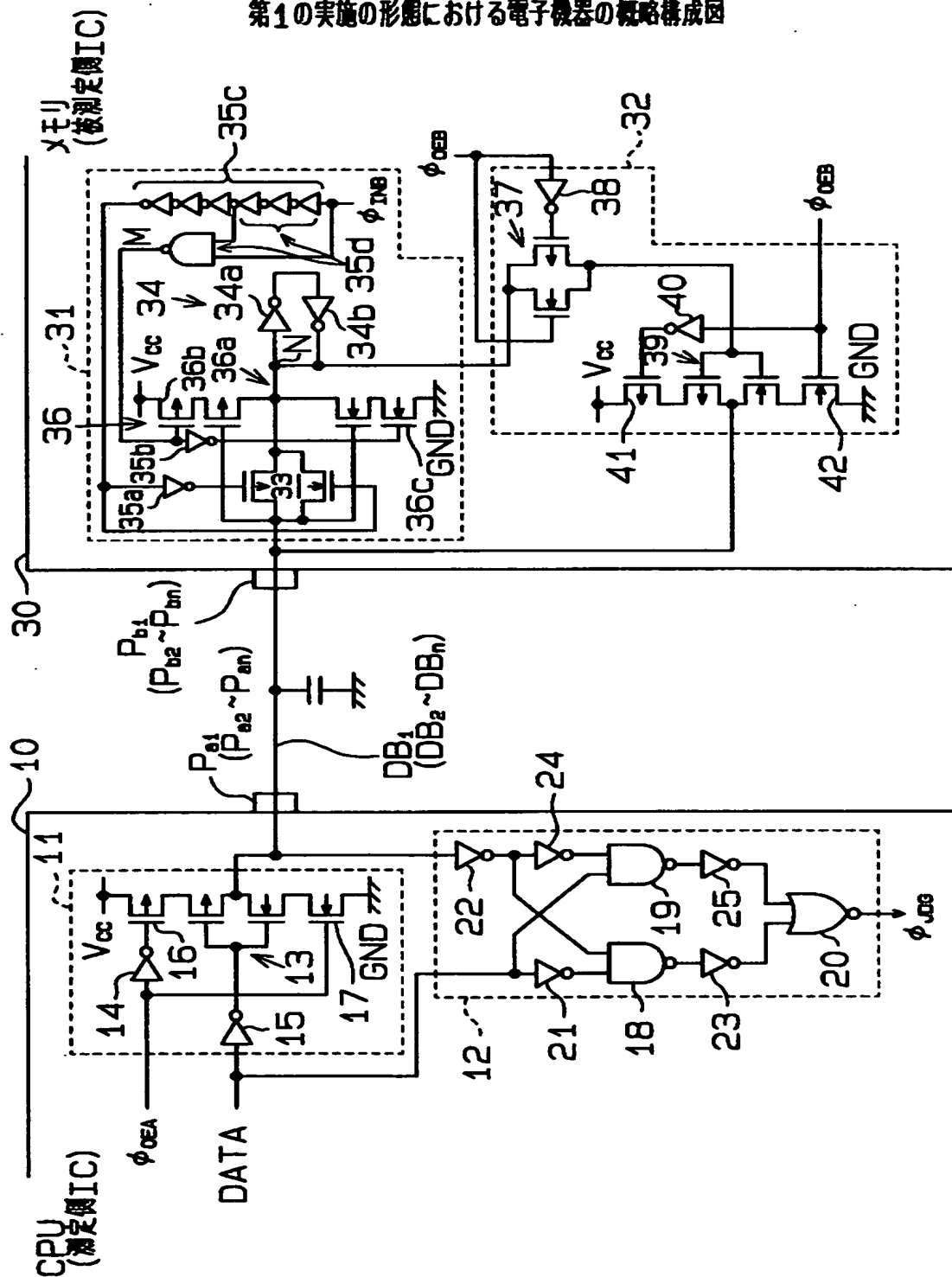
DB1～DBn バス線

DATA 第 1, 第 2 論理信号としてのデータ

【書類名】 図面

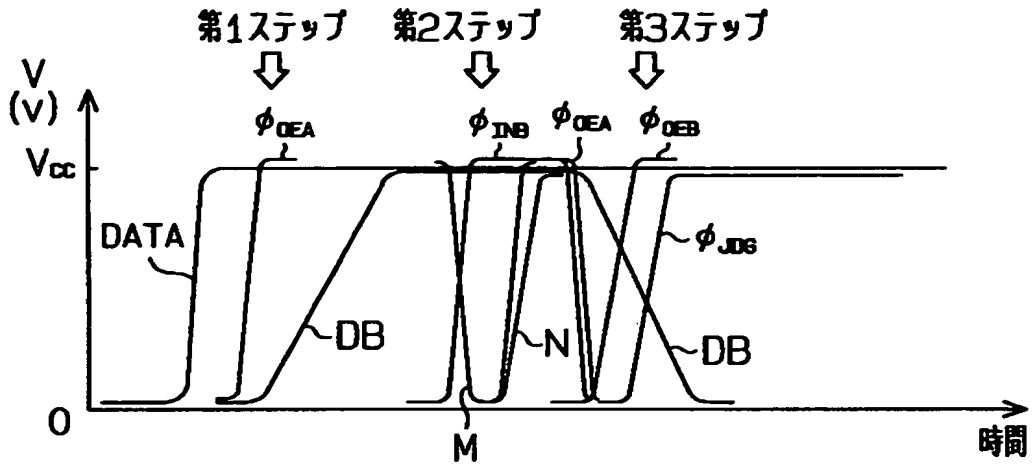
【図 1】

第1の実施の形態における電子機器の概略構成図



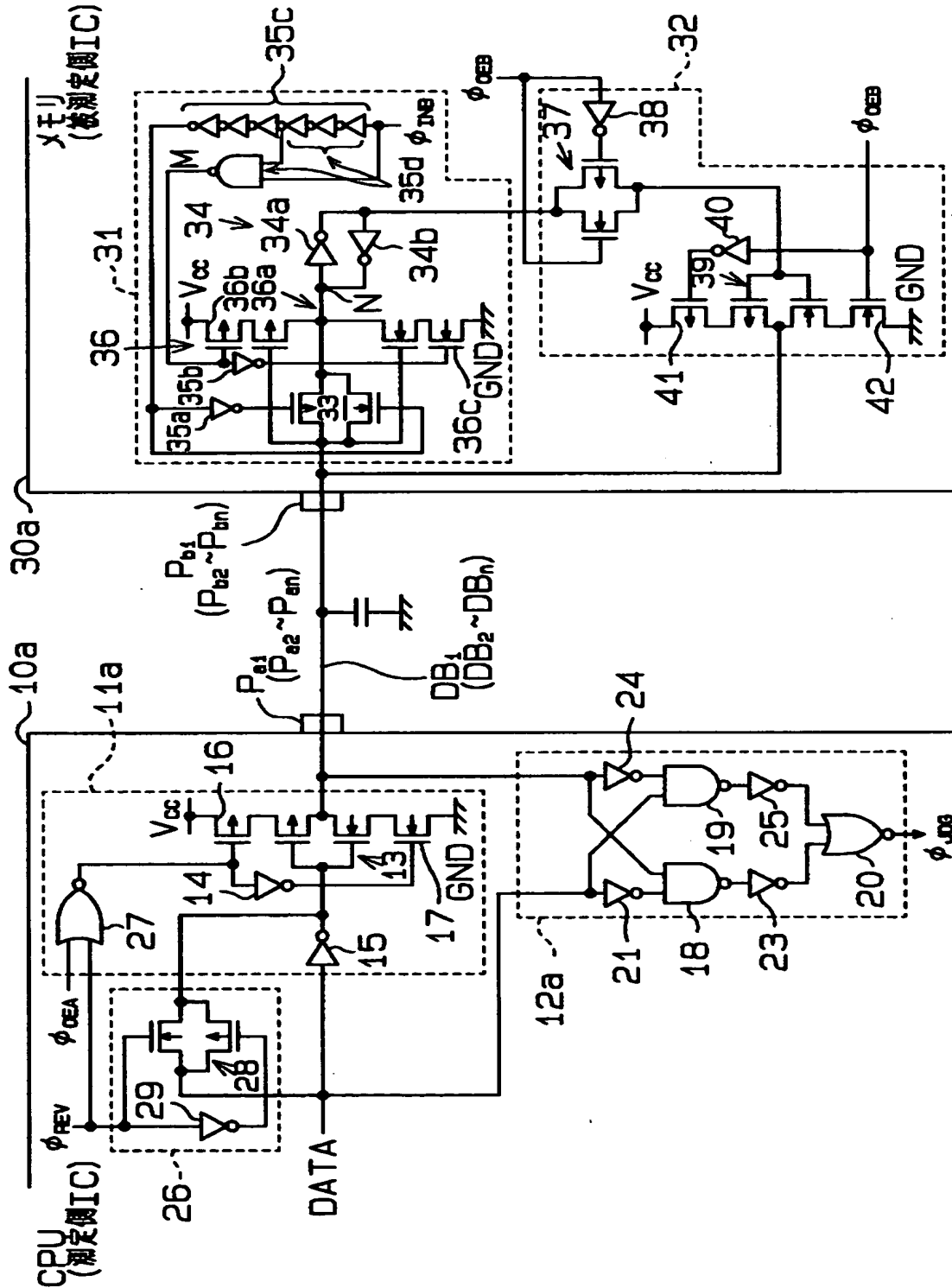
【図 2】

第1の実施の形態の動作を示す波形図



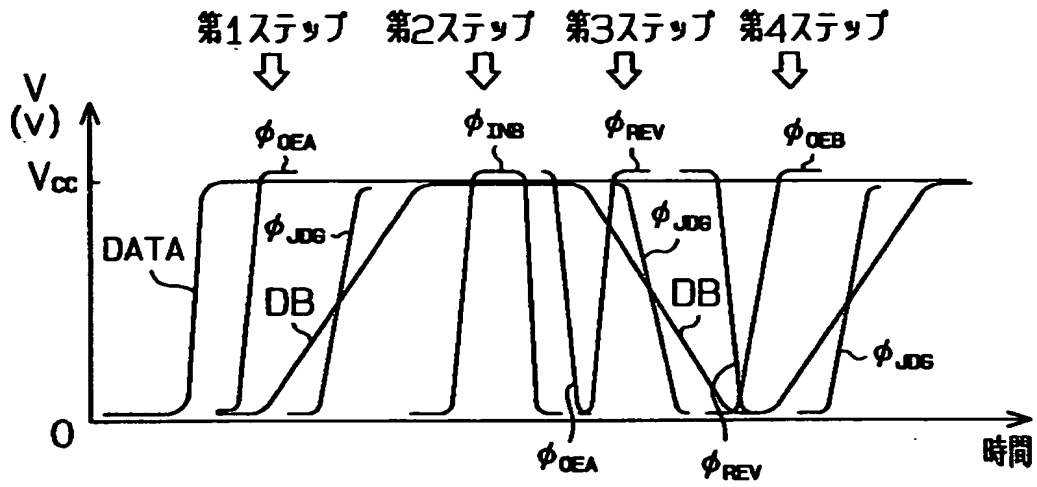
【図 3】

第2の実施の形態における電子機器の概略構成図



【図 4】

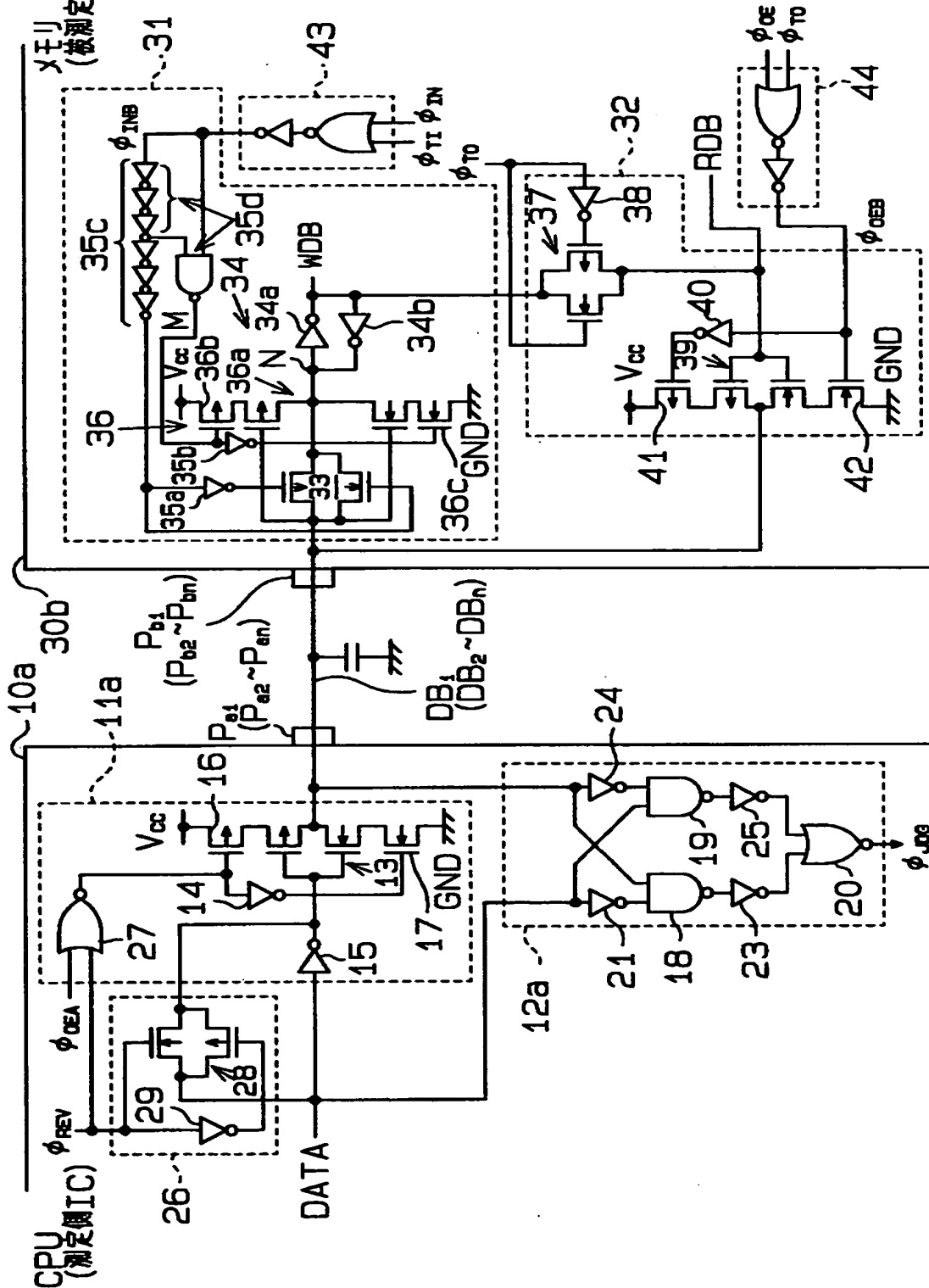
第2の実施の形態の動作を示す波形図





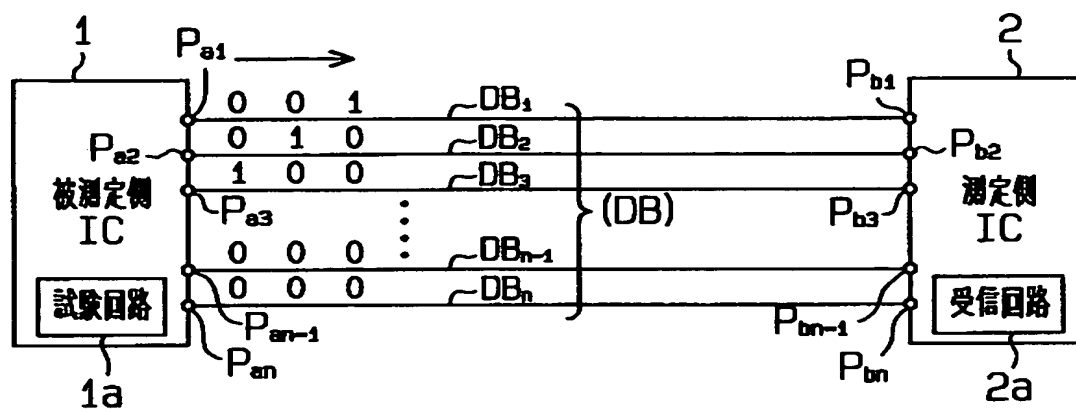
【図5】

第3の実施の形態における電子機器の概略構成図



【図 6】

従来における電子機器の概略構成図



【書類名】 要約書

【要約】

【課題】回路面積を増大させることなく、確実な半導体装置間のオープン・ショート試験を行うことが可能な電子機器を提供する。

【解決手段】電子機器は、CPU10とメモリ30をバス線DB1～DBnを介して接続して構成される。CPU10は、バス線DB1～DBnにデータDATAを出力するデータ出力部11と、該データDATAとメモリ30からバス線DB1～DBnを介して入力される論理を反転したデータDATAとを比較し、その比較結果に基づく判定信号φJDGを出力するデータ比較部12とが備えられる。メモリ30は、データ出力部11からのデータDATAをラッチするラッチ部31と、ラッチしたデータDATAの論理を反転し、その反転したデータDATAを出力する論理部32が備えられる。そして、CPU10は、判定信号φJDGに基づいてCPU10とメモリ30との接続の良否を判定する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社